

(Translation)

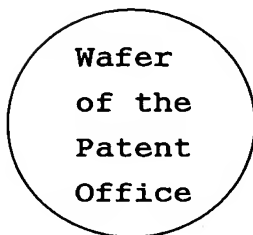
PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : February 10, 2003

Application Number : Patent Appln. No. 2003-032847

Applicant(s) : SHARP KABUSHIKI KAISHA



December 22, 2003

Yasuo IMAI

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3106444

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 0 日
Date of Application:

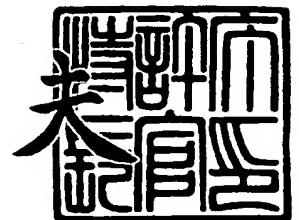
出 願 番 号 特 願 2 0 0 3 - 0 3 2 8 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 2 8 4 7]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 4 4 4

【書類名】 特許願

【整理番号】 03J00203

【提出日】 平成15年 2月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146
H04N 5/335

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 渡辺 恭志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を制御して、電荷蓄積、信号読み出しおよびリセット動作を行う駆動制御手段を備えた固体撮像装置において、前記駆動制御手段は、該リセット動作時の蓄積電荷排出前に、該電荷蓄積領域への電荷注入処理を行う固体撮像装置。

【請求項 2】 光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を有する画素部が基板上に複数設けられ、該トランジスタ手段のゲート電圧、ソース電圧およびドレイン電圧を制御して、電荷蓄積、信号読み出しおよびリセット動作を制御する駆動制御手段を備えた固体撮像装置において、

該駆動制御手段は、該リセット動作時に、該基板領域から該電荷蓄積領域への電荷注入を可能とする第 1 ゲート電圧を出力制御した後に、該画素部毎の感度ばらつきが低安定レベルとなる第 2 ゲート電圧を出力制御する固体撮像装置。

【請求項 3】 前記駆動制御手段は、前記電荷注入後、該電荷蓄積領域に一定量の電荷を残留させるように該電荷蓄積領域から該基板領域に蓄積電荷を排出させる請求項 1 または 2 記載の固体撮像装置。

【請求項 4】 前記トランジスタ手段は、第 3 ゲート電圧により前記受光手段からの電荷を前記電荷蓄積領域に蓄積可能とし、該電荷蓄積領域に蓄積された電荷量に応じて変化するチャネル電位を信号として第 4 ゲート電圧により読み出し可能とする請求項 1 または 2 記載の固体撮像装置。

【請求項 5】 前記駆動制御手段は、前記基板領域から前記電荷蓄積領域への電荷注入時に、前記第 1 ゲート電圧により該基板領域から該電荷蓄積領域へのポテンシャルバリアを信号蓄積時のポテンシャルバリアに比べて小さくなる方向にシフトさせる請求項 1 または 2 記載の固体撮像装置。

【請求項 6】 前記第 2 ゲート電圧は、完全電荷排出動作に必要とされる第 5 ゲート電圧に比べて、該電荷蓄積領域に電荷を残留させる方向に電位をシフト

させた電圧である請求項 2 記載の固体撮像装置。

【請求項 7】 前記複数の画素部が基板上に行方向および列方向にマトリクス状に配設された請求項 2 または 3 記載の固体撮像装置。

【請求項 8】 前記駆動制御手段は、選択行においてリセット動作時に、選択行では、前記第 1 ゲート電圧により前記基板領域から前記電荷蓄積領域へのポテンシャルバリアを該信号蓄積時のポテンシャルバリアに比べて小さくなる方向にシフトさせて該基板領域から該電荷蓄積領域への電荷注入を行わせ、非選択行では、前記基板領域から前記電荷蓄積領域へのポテンシャルバリアを該第 1 ゲート電圧印加時のポテンシャルバリアに比べて大きくなる方向にシフトさせる第 3 ゲート電圧を出力して該基板領域から該電荷蓄積領域への電荷注入を行わせないように構成した請求項 7 記載の固体撮像装置。

【請求項 9】 前記トランジスタ手段は、一方導電型基板の一表面側の他方導電型ウェル領域上に設けられた一方導電型ウェル領域上に、リング状のゲート電極と、その内側に設けられた他方導電型のソース領域と、該ゲート電極の外周を囲むように設けられた他方導電型のドレイン領域と、該ゲート電極下の半導体表面部に設けられたチャネル領域と、該ゲート電極およびチャネル領域下方であって、該ソース領域近傍の一方導電型ウェル領域内に該ソース領域を囲むように設けられた一方導電型の電荷蓄積領域とを有し、トランジスタ手段は該一方導電型ウェル領域によって光電変換用の受光手段と接続されている請求項 1 または 2 記載の固体撮像装置。

【請求項 10】 光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を制御して、電荷蓄積、信号読出しおよびリセット動作を駆動制御する固体撮像装置の駆動方法において、

該電荷蓄積領域に蓄積された電荷を基板領域へ排出するリセット動作時に、該基板領域から該蓄積領域へのポテンシャルバリアを該信号蓄積時の第 3 ゲート電圧 V_M によるポテンシャルバリアに比べて小さくなる方向にシフトさせる第 1 ゲート電圧 V_L を該トランジスタ手段のゲート電極に出力して該基板領域から該電荷蓄積領域への電荷注入を行う処理ステップを有する固体撮像装置の駆動方法。

【請求項 11】 前記電荷注入処理後に、完全電荷排出動作に必要とされる

第5ゲート電圧 V_2 に比べて、該蓄積領域に電荷を残留させる方向に電位をシフトさせた第2ゲート電圧 V_{21} を該トランジスタ手段のゲート電極に出力して、該電荷蓄積領域に一定量の電荷を残留させるように該電荷蓄積領域から該基板領域に電荷を排出させる処理ステップを更に有する請求項10記載の固体撮像装置の駆動方法。

【請求項12】 信号読み出し時においては、前記電荷注入処理前に、前記第3ゲート電圧 V_M を前記トランジスタ手段のゲート電極に出力して、該トランジスタ手段の電荷蓄積領域に電荷を蓄積させる処理ステップと、

第4ゲート電圧 V_H を該トランジスタ手段のゲート電極に出力し、該トランジスタ手段のドレイン電圧を所定の電位 V_D として、該電荷蓄積領域に蓄積された電荷量に応じて変化するチャネル電位を信号として読み出す処理ステップとを有する請求項10または11記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば閾値電圧変調方式MOS型イメージセンサなどの固体撮像装置およびその駆動方法に関する。

【0002】

【従来の技術】

この種の固体撮像装置として、単位画素毎に信号増幅機能を持たせて、走査回路により各単位画素から信号を順次読み出す増幅型固体撮像装置が広く用いられている。この増幅型固体撮像装置には、各単位画素内にそれぞれ、増幅部、リセット部および画素選択部などの各部分が平面的に横方向に配置された横型の増幅型固体撮像装置と、それらの各部分が深さ方向に重ねられて配置された縦型の増幅型固体撮像装置とがある。

【0003】

例えば特許文献1、2には、縦型の増幅型固体撮像装置として、光信号検出用MOSトランジスタ（絶縁ゲート型電界効果トランジスタ）のチャネル領域下にキャリアポケット（電荷蓄積領域）を設けた閾値電圧変調方式のMOS型イメー

ジサンサと称される固体撮像装置が提案されている。

【0004】

この閾値電圧変調方式のMOS型イメージセンサの構成例について図6を用いて詳細に説明する。

【0005】

図6は従来の閾値電圧変調方式のMOS型イメージセンサにおける要部構成を示す図であって、(a)はその1画素分の平面図であり、(b)は(a)のAA'線断面図である。

【0006】

図6(a)および図6(b)において、各单位画素部10はそれぞれ、照射光量に応じた光電荷に光電変換する受光ダイオード11と、この受光ダイオード11に隣接する光信号検出用のMOSトランジスタ12とを有している。

【0007】

受光ダイオード11は、P型基板13の一表面側にN型ウェル領域14が設けられ、このN型ウェル領域14上にP型ウェル領域15が更に設けられている。このP型ウェル領域15が受光領域となっており、P型ウェル領域15への光照射によって電荷(またはホール)を発生する。このP型ウェル領域15によって受光ダイオード11と光信号検出用のMOSトランジスタ12とが接続されている。

【0008】

光信号検出用のMOSトランジスタ12は、環状のゲート電極16と、その内側のN型のソース領域17と、その外側のN型のドレイン領域18と、トランジスタチャネル領域であるN層19と、電荷蓄積領域としてのP型のホールポケット領域20とを有している。

【0009】

ゲート電極16はソース領域17を囲むようにリング状に形成されている。

【0010】

ソース領域17は、リング状のゲート電極16の内側に形成されている。

【0011】

ドレイン領域 18 は、リング状のゲート電極 16 の外周を囲むように形成されている。

【0012】

N層 19 は、ソース領域 17 とドレイン領域 18 間のトランジスタチャネル層として、ゲート電極 16 直下の半導体表面部側に形成されている。

【0013】

ホールポケット領域 20 は、ゲート電極 16 の下方位置にあって、ソース領域 17 近傍側の P 型ウェル領域 15 の内部に、平面視でソース領域 17 を囲むように環状に設けられている。このホールポケット領域 20 には、受光ダイオード 11 で発生した光信号（電荷）が P 型ウェル領域 15 を介して蓄積され、信号読み出し時に、ゲート電極 16 に印加されるゲート電圧によって画素部 10 が選択されると、光信号（電荷）がホールポケット領域 20 からソース領域 17 を介して出力されるようになっている。また、ホールポケット領域 20 に蓄積された電荷は、リセット動作時には、ゲート電極 16 に印加されるゲート電圧によって、ホールポケット領域 20 からドレイン領域 18 を介して基板 13 側に排出されるようになっている。

【0014】

MOS 型イメージセンサでは、以上の単位画素部 10 が行方向および列方向にマトリクス状に複数配置されており、ゲート駆動回路（図示せず）によって選択行および非選択行のゲート電圧を別々に制御することにより、選択行の各画素部 10 から選択列の各ラインを介して選択画素部 10 毎の各撮像信号を順次読み出すようになっている。

【0015】

以上の MOS 型イメージセンサの動作について、図 7 および図 8 を用いて説明する。

【0016】

図 7 は、図 6 の MOS 型イメージセンサの各動作における画素部のポテンシャル分布を示す図である。図 7 では横軸が図 6（b）の BB' 線断面位置に対する表面からの深さに対応した各領域を示し、縦軸がその各領域に対する各動作時の

ポテンシャル電位を示している。表面からの深さに対応した各領域とは、表面部からゲート電極 16、チャネル領域の N 層 19、ホールポケット領域 20、N 型ウェル領域 14 さらに基板 13 の順に配置された各領域である。また、その各動作とは、信号蓄積動作、信号読み出し動作およびリセット動作である。

【0017】

図 7 に示すように、まず、信号蓄積動作時に、ゲート電極 16 の電位（ゲート電圧）は V_0 とされ、受光ダイオード 11 からの信号電荷（またはホール）は、ホールポケット領域 20 に転送されて蓄積される。このとき、基板 13 からホールポケット領域 20 へのホールに対するポテンシャルバリア $\Delta\phi_{INJ}$ は、基板 13 からホールポケット領域 20 への注入が生じない程度に大きくなるように、各層の濃度プロファイルが設定されている。

【0018】

次に、信号読み出し動作時に、ゲート電極 16 の電位は V_1 とされ、ドレイン電位は V_D とされるため、ホールポケット領域 20 に存在する信号量（蓄積電荷量）に応じて、チャネル領域である N 層 19 の電位は変化し、例えば蓄積電荷量 0 では ϕ_0 、電荷量 Q_s では ϕ_1 のように電位が変化する。このような N 層 19 の電位変化を、各画素部 10 の光信号による蓄積電荷量（以下 S 信号と称する）としてソース領域 17 から読み出すことができる。

【0019】

このようにして、信号読み出し動作が終了すると、ゲート電極 16 の電位は高電位の V_2 とされ、これによって、ホールポケット領域 20 に蓄積された信号電荷は基板 13 側へ排出されるリセット動作が行われる。このリセット動作後に、ゲート電極 16 の電位は再び V_1 とされ、ホールポケット領域 20 に蓄積電荷が存在しない状態で、画素基準信号（以下、N 信号と称する）をソース電極 17 から信号読み出しすることができる。この N 信号読み出し後は、再び、最初の信号蓄積動作に戻り（ゲート電極 16 の電位 V_0 ）、次の撮像動作サイクルが行われ、これが繰り返される。

【0020】

図 8 は、図 7 の各動作（信号蓄積動作、信号読み出し動作およびリセット動作

) をゲート電圧の動作タイミングとして示すタイミングチャートであり、(a) は選択行の動作タイミングを示し、(b) は非選択行の動作タイミングを示している。

【0021】

選択行では、図8(a)に示すように、まず、信号蓄積動作期間終了後のゲート電圧 V_0 から、期間 T_1 でゲート電圧が V_1 とされてS信号読み出し動作が行われる。

【0022】

次に、期間 T_2 でゲート電圧が高電圧の V_2 とされてリセット動作が行われる。その後、期間 T_3 で再びゲート電圧が V_1 とされてN信号読み出し動作が行われる。これらの各動作が撮像動作サイクル毎に繰り返される。

【0023】

また、非選択行では、図8(b)に示すように、ゲート電圧は V_0 とされ、ホールポケット領域20に電荷が蓄積される。

【0024】

【特許文献1】

特開平11-195778号公報

【特許文献2】

特開2002-134729号公報

【0025】

【発明が解決しようとする課題】

上記従来の閾値電圧変調方式のMOSイメージセンサでは、リセット動作時に、ホールポケット領域20から基板13への電荷（またはホール）に対するポテンシャルバリア $\Delta\phi_{RST}$ が存在すると、一部の電荷 ΔQ がホールポケット領域20に残留してしまう。

【0026】

図7に、リセット動作時のゲート電圧 V_2 とそれよりも低いゲート電圧 V_2' との比較で示すように、ホールポケット領域20から基板13へのホールに対するポテンシャルバリア $\Delta\phi_{RST}$ およびホールポケット領域20に残留する残留

電荷量 ΔQ はゲート電圧に依存し、ゲート電圧が大きくなって高電圧の V_2 に近づくに従ってポテンシャルバリア $\Delta \phi_{RST}$ および残留電荷量 ΔQ は減少する。

【0027】

このようなホールポケット領域20の残留電荷量 ΔQ の増大は、画像において残像の増大をもたらす。この残留電荷量と画像の残像との関係を図9に示す。

【0028】

図9に示すように、ゲート電圧 V_{20} 以上でホールポケット領域20の残留電荷量 ΔQ は0になる。このため、画像における残像は、ゲート電圧 V_{20} 以下になるほど大きくなるが、ゲート電圧 V_{20} 以上では発生しない。

【0029】

一方、閾値電圧変調方式のMOS型イメージセンサにおいて、画素部10毎の感度ばらつき（PRNU）は残留電荷量 ΔQ が減少すると大きくなることが経験的（実験）に知られている。

【0030】

この残留電荷量 ΔQ と画素部10毎の感度ばらつき（PRNU）との関係は、図9に示すように、リセット時のゲート電圧 V_2 が、残像が無くなる V_{20} よりも低い V_{21} 以上になると、感度ばらつき（PRNU）は急激に増大する。したがって、画像の残像抑制と感度ばらつき（PRNU）とを同時に満足させることができるリセット時のゲート電圧条件は存在しない。

【0031】

本発明は、上記従来の問題を解決するもので、画像の残像を防ぐと共に画素部毎の感度ばらつきを抑制して高画質の画像を得ることができる固体撮像装置およびその駆動方法を提供することを目的とする。

【0032】

【課題を解決するための手段】

本発明の固体撮像装置は、光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を制御して、電荷蓄積、信号読み出しおよびリセット動作を行う駆動制御手段を備えた固体撮像装置において、前記駆動制御手段は、該リセット動作時の蓄積電荷排出前に、該電荷蓄

積領域への電荷注入処理を行うものであり、そのことにより上記目的が達成される。

【0033】

また、本発明の固体撮像装置は、光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を有する画素部が基板上に複数設けられ、該トランジスタ手段のゲート電圧、ソース電圧およびドレイン電圧を制御して、電荷蓄積、信号読み出しおよびリセット動作を制御する駆動制御手段を備えた固体撮像装置において、前記駆動制御手段は、該リセット動作時に、該基板領域から該電荷蓄積領域への電荷注入を可能とする第1ゲート電圧を出力制御した後に、該画素部毎の感度ばらつきが低安定レベルとなる第2ゲート電圧を出力制御するものであり、そのことにより上記目的が達成される。

【0034】

また、好ましくは、本発明の固体撮像装置における駆動制御手段は、前記電荷注入後、該電荷蓄積領域に一定量の電荷を残留させるように前記第2ゲート電圧により該電荷蓄積領域から該基板領域に蓄積電荷を排出させる。

【0035】

さらに、好ましくは、本発明の固体撮像装置におけるトランジスタ手段は、第3ゲート電圧により前記受光手段からの電荷を前記電荷蓄積領域に蓄積可能とし、該電荷蓄積領域に蓄積された電荷量に応じて変化するチャネル電位を信号として第4ゲート電圧により読み出し可能とする。

【0036】

さらに、好ましくは、本発明の固体撮像装置における駆動制御手段は、前記基板領域から前記電荷蓄積領域への電荷注入時に、前記第1ゲート電圧により該基板領域から該電荷蓄積領域へのポテンシャルバリアを信号蓄積時のポテンシャルバリアに比べて小さくなる方向にシフトさせる。

【0037】

さらに、好ましくは、本発明の固体撮像装置における第2ゲート電圧は、完全電荷排出動作に必要とされる第5ゲート電圧に比べて、該電荷蓄積領域に電荷を

残留させる方向に電位をシフトさせた電圧である。

【0038】

さらに、好ましくは、本発明の固体撮像装置において、複数の画素部が基板上に行方向および列方向にマトリクス状に配設されている。

【0039】

さらに、好ましくは、本発明の固体撮像装置における駆動制御手段は、選択行においてリセット動作時に、選択行では、前記第1ゲート電圧により前記基板領域から前記電荷蓄積領域へのポテンシャルバリアを該信号蓄積時のポテンシャルバリアに比べて小さくなる方向にシフトさせて該基板領域から該電荷蓄積領域への電荷注入を行わせ、非選択行では、前記基板領域から前記電荷蓄積領域へのポテンシャルバリアを該第1ゲート電圧印加時のポテンシャルバリアに比べて大きくなる方向にシフトさせる第3ゲート電圧を出力して該基板領域から該電荷蓄積領域への電荷注入を行わせないように構成している。このリセット動作は、電荷蓄積および信号読み出し時のみでなく、シャッタ動作、即ち信号読み出しを行わないで電荷排出のみを行う場合もある。これら両方の場合に注入動作を行う。

【0040】

さらに、好ましくは、本発明の固体撮像装置におけるトランジスタ手段は、一方導電型基板の一表面側の他方導電型ウェル領域上に設けられた一方導電型ウェル領域上に、リング状のゲート電極と、その内側に設けられた他方導電型のソース領域と、該ゲート電極の外周を囲むように設けられた他方導電型のドレイン領域と、該ゲート電極下の半導体表面部に設けられたチャネル領域と、該ゲート電極およびチャネル領域下方であって、該ソース領域近傍の一方導電型ウェル領域内に該ソース領域を囲むように設けられた一方導電型の電荷蓄積領域とを有し、トランジスタ手段は該一方導電型ウェル領域によって光電変換用の受光手段と接続されている。

【0041】

本発明の固体撮像装置の駆動方法は、光電変換した電荷を電荷蓄積領域に蓄積し、蓄積電荷量に応じた信号を読み出し可能とするトランジスタ手段を有する画素部が基板上に複数設けられ、該トランジスタ手段のゲート電圧、ソース電圧お

よびドレイン電圧を制御して、電荷蓄積、信号読出しおよびリセット動作を駆動制御する固体撮像装置の駆動方法において、該電荷蓄積領域に蓄積された電荷を基板領域へ排出するリセット動作時に、該基板領域から該蓄積領域へのポテンシャルバリアを該信号蓄積時の第3ゲート電圧 V_M によるポテンシャルバリアに比べて小さくなる方向にシフトさせる第1ゲート電圧 V_L を該トランジスタ手段のゲート電極に出力して該基板領域から該電荷蓄積領域への電荷注入を行う処理ステップと、該電荷注入処理後に、完全電荷排出動作に必要とされる第5ゲート電圧 V_2 に比べて、該蓄積領域に電荷を残留させる方向に電位をシフトさせた第2ゲート電圧 V_{21} を該トランジスタ手段のゲート電極に出力して、該電荷蓄積領域に一定量の電荷を残留させるように該電荷蓄積領域から該基板領域に電荷を排出させる処理ステップとを有するものであり、そのことにより上記目的が達成される。信号電荷、従って構造の極性を反転すれば、大小の関係($V_{21} < V_2$ または $V_{21} > V_2$)は反転する。

【0042】

また、好ましくは、本発明の固体撮像装置の駆動方法における電荷注入処理前に、信号読み出し時においては、前記第3ゲート電圧 V_M を前記トランジスタ手段のゲート電極に出力して、該トランジスタ手段の電荷蓄積領域に電荷を蓄積させる処理ステップと、第4ゲート電圧 V_H を該トランジスタ手段のゲート電極に出力し、該トランジスタ手段のドレイン電圧を所定の電位 V_D として、該電荷蓄積領域に蓄積された電荷量に応じて変化するチャネル電位を信号として読み出す処理ステップとを有する。

【0043】

上記構成により、以下に、本発明の作用について説明する。

【0044】

本発明においては、電荷蓄積および信号読み出し後のリセット動作時に、まず、基板領域から電荷蓄積領域への電荷注入を行い、その後、電荷蓄積領域に少量の電荷を残留させた状態で基板領域への電荷排出を行う。これによって、前の電荷蓄積期間の電荷蓄積量(=入射光量)の大小に関わらず、電荷蓄積領域に常に一定量の電荷を残留させることができるため、画面全体として画素部毎の像変化

はなく、残像が発生しない。しかも、電荷蓄積領域に少量の電荷を残留させることによって、感度ばらつき（PRNU）を低安定レベルXに保つことができる。

【0045】

また、トランジスタ手段のゲート電圧などの各電圧を制御する駆動制御手段によって、容易に、画面全体の画素部に対して、上記基板領域から電荷蓄積領域への電荷注入および電荷蓄積領域への少量の電荷残留を制御することが可能となる。また、選択行と非選択行とで別々にゲート電圧を制御することによって、容易に、選択行毎の画面全体の各画素部に対して、上記基板領域から電荷蓄積領域への電荷注入および電荷蓄積領域への少量の電荷残留を順次制御することが可能となる。

【0046】

【発明の実施の形態】

以下に、本発明の固体撮像装置の実施形態を閾値電圧変調方式のMOS型イメージセンサに適用した場合について、図面を参照しながら説明する。

【0047】

図1は、本発明の閾値電圧変調方式のMOS型イメージセンサ（固体撮像装置）の一実施形態における要部構成を示すブロック図である。なお、図1では、図6と同様の作用効果を奏する部材には同一の符号を付してその説明を省略する。

【0048】

図1において、固体撮像装置1は、複数配置された画素部10と、選択行および非選択行の画素部10の各制御電圧（後述するゲート電圧、ソース電圧およびドレイン電圧）を別々に制御することにより、選択行毎の各画素部10から選択列のラインを介して選択画素部10毎の各撮像信号を順次読み出す駆動制御手段2とを有している。

【0049】

画素部10は、前述したように、光電変換する受光部としての受光ダイオード11と、この受光ダイオード11に隣接する光信号検出用のトランジスタ手段としてのMOSトランジスタ12とを有している。

【0050】

受光ダイオード 11 では、その P 型ウェル領域 15 が受光領域となっており、P 型ウェル領域 15 への光照射量に応じた電荷量（またはホール量）を発生する。

【0051】

MOS トランジスタ 12 は、図 6 にて前述したように、P 型基板 13 の一表面側の N 型ウェル領域 14 上に設けられた P 型ウェル領域 15 上に、リング状のゲート電極 16 と、その内側に設けられた N 型のソース領域 17 と、ゲート電極 16 の外周を囲むように設けられた N 型のドレイン領域 18 と、ゲート電極 16 下の半導体表面部に設けられたチャネル領域である N 層 19 と、ゲート電極 16 および N 層 19 下方であって、ソース領域 17 近傍の P 型ウェル領域 15 内にソース領域 17 を囲むように設けられた P 型のキャリアポケット領域（電荷蓄積領域）20 とを有しており、MOS トランジスタ 12 は P 型ウェル領域 15 によって光電変換用の受光領域と接続されている。

【0052】

駆動制御手段 2 は、MOS トランジスタ 12 のゲート電極 16、ソース電極 17 およびドレイン電極 18 に対して、電荷蓄積動作、信号読み出し動作およびリセット動作を制御する各ゲート電圧、ソース電圧およびドレイン電圧を出力制御する。駆動制御手段 2 は、リセット時に、基板 13 からキャリアポケット領域 20 の電荷蓄積領域への電荷注入を可能とするゲート電圧を出力制御した後に、画素部 10 毎の感度ばらつきが低安定レベル X となるゲート電圧を出力することにより、キャリアポケット領域 20 の電荷蓄積領域に一定量の電荷を残留させるようにキャリアポケット領域 20 の電荷蓄積領域から基板 13 側に蓄積電荷を排出させる。

【0053】

上記構成により、本発明の閾値電圧変調方式の MOS 型イメージセンサの動作について、図 2 および図 3 を用いて説明する。

【0054】

図 2 は、図 1 の閾値電圧変調方式の MOS 型イメージセンサの画素部におけるポテンシャル分布を示す図であって、(a) はその信号蓄積動作および信号読み

出し動作時のポテンシャル分布図であり、(b)はそのリセット動作時のポテンシャル分布図である。図2では横軸が図1のゲート電極の表面からの深さに対応した各領域を示し、縦軸がその各領域に対する各動作時のポテンシャル電位を示している。表面からの深さに対応した各領域とは、表面部からゲート電極16、チャンネル領域のN層19、キャリアポケット領域（例えばホールポケット領域）20、N型ウェル領域14さらに基板13の順に配置された各領域である。

【0055】

まず、信号蓄積動作時に、図2(a)に示すように、ゲート電極16の電位は V_M （例えば図6の V_0 ）とされ、受光ダイオード11からの信号電荷（またはホール）は、ホールポケット領域20に転送されて蓄積される。なお、このとき、基板13からホールポケット領域20への信号電荷（またはホール）に対するポテンシャルバリア $\Delta\phi_{INJ}$ は、基板13からホールポケット領域20への電荷注入が生じない程度に大きくなるように、各層の濃度プロファイルが設定されている。

【0056】

次に、信号読み出し時に、ゲート電極16の電位は V_H （例えば図6の V_1 ）とされ、ドレイン電位は V_D とされるため、ホールポケット領域20に存在する信号量（蓄積電荷量）に応じて、チャンネル領域であるN層19の電位は変化する。即ち、チャンネル領域であるN層19の電位は、例えば蓄積電荷量0で ϕ_0 、蓄積電荷量 Q_s で ϕ_1 のように変化する。このチャンネル領域の電位の変化を、各画素部10の光信号（以下、S信号と称する）としてソース領域17から読み出すことができる。

【0057】

この信号読み出し動作が終了すると、図2(b)に示すように、まず、ゲート電極16の電位は上記 V_M より低い V_L とされる。これによって、基板13からホールポケット領域20へのポテンシャルバリアは $\Delta\phi_{INJ}(M)$ よりも小さい値 $\Delta\phi_{INJ}(L)$ となり、基板13からホールポケット領域20へのホール注入（電荷注入）が生じる。このときの注入電荷量を ΔQ_2 とする。

【0058】

次に、ゲート電極 16 の電位は、残像が無くなる V_{20} よりも低い V_{21} とされ、ホールポケット領域 20 に蓄積された信号電荷は基板 13 へ排出されてリセット動作が行われる。このとき、ホールポケット領域 20 から基板 13 への電荷（またはホール）に対するポテンシャルバリア $\Delta\phi_{RST}$ は、ホールポケット領域 20 に ΔQ_1 だけ電荷を残留させるような所定電荷量の大きさに設定される。なお、所定電荷量 ΔQ_1 は上記注入電荷量 ΔQ_2 よりも小さい値である。

【0059】

このリセット動作後、ゲート電極 16 の電位は再び V_M とされ、ホールポケット領域 20 に蓄積電荷が存在しない状態で、画素基準信号（以下、N 信号と称する）をソース電極 17 から読み出すことができる。この N 信号読み出し後は、再び、最初の信号蓄積動作に戻り、次の撮像動作サイクルが行われ、これが繰り返される。

【0060】

なお、このとき、ゲート電圧 V_L でのポテンシャルバリア $\Delta\phi_{INJ}(L)$ 、ゲート電圧 V_M でのポテンシャルバリア $\Delta\phi_{INJ}(M)$ 、およびゲート電圧 V_{21} でのポテンシャルバリア $\Delta\phi_{RST}$ の各値は、上記各条件を満たすように、各層の濃度プロファイルが設定されている。

【0061】

図 3 は、図 2 の各動作（信号蓄積動作、信号読み出し動作およびリセット動作）をゲート電圧の動作タイミングとして示すタイミングチャートであり、（a）は選択行の動作タイミングを示し、（b）は非選択行の動作タイミングを示している。

【0062】

図 3（a）に示すように、まず、期間 T_1 でゲート電圧が V_H とされて S 信号読み出し動作が行われ、次に、期間 T_x でゲート電圧が V_L とされて基板 13 からホールポケット領域 20 へのホール注入が行われる。次に、期間 T_2 でゲート電圧が V_{21} とされて、ホールポケット領域 20 に電荷が ΔQ_1 だけ残留された状態でリセット動作が行われる。その後、期間 T_3 で再びゲート電圧が V_H とされて N 信号読み出し動作が行われる。これらの動作が撮像動作サイクル毎に繰り返

返される。

【0063】

上記一連の動作において、リセット動作時に、まず、基板13からホールポケット領域20の電荷蓄積領域への電荷注入を行い、その後、電荷蓄積領域に少量の電荷を残留させるように基板領域への電荷排出を行う。このため、前の電荷蓄積期間の信号量（＝入射光量）の大小に関わらず、電荷蓄積領域には常に一定量の電荷が残留し、残像が発生しない。さらに、電荷蓄積領域に少量の電荷を残留させるため、PRNU（画素毎の感度ばらつき）を低い値に保つことができる。

【0064】

なお、図3はS信号読み出し動作後にリセット動作を行う場合の一例であるが、シャッタ動作時には信号読み出し動作を行わずにリセット動作のみ行う。本発明をこの場合に適用した一例を図10に示す。即ち、図10（a）はシャッタ動作選択行の動作タイミングを示し、（b）は非選択行の動作タイミングを示している。図10（a）に示すように、期間T1を含む先行期間でゲート電圧が V_M とされた後、期間 T_x でゲート電圧が V_L とされて基板13からホールポケット領域20へのホール注入が行われる。次に、期間T2でゲート電圧が V_{21} とされて、ホールポケット領域20に電荷が ΔQ_1 だけ残留された状態でリセット動作が行われる。その後、期間T3を含む後行期間で再びゲート電圧が V_M とされる。シャッタ時には、図10（a）に示す動作が図3（a）に示す読み出し期間動作サイクルの間に挿入される。

【0065】

図4に、本発明の実施形態の固体撮像装置における残留電荷量 ΔQ と、画像の残像および画素部10毎の感度ばらつき（PRNU）との関係を示している。

【0066】

図4に示すように、リセット時のゲート電圧 V_2 が V_{21} 付近であれば、画面全体の各画素部10に一定の残留電荷 ΔQ が存在するために、感度ばらつき（PRNU）を低い値（低安定レベルX）に留めることができ、これによって、画面全体にわたって像変化はなく、残像は発生しない状態とすることができる。よって、本実施形態の固体撮像装置1によれば、高画質の閾値電圧変調方式のMOS

型イメージセンサを実現することが可能となる。

【0067】

図5は、図1の固体撮像装置1をさらに詳細に説明するために、2次元の閾値電圧変調方式MOS型イメージセンサの例えば2画素×2画素の回路構成に適應させた場合の一例を示す回路図である。

【0068】

図5において、2次元の固体撮像装置1Aは、受光ダイオード11と、光信号検出用のMOSトランジスタ12（絶縁ゲート型電界効果トランジスタ）とによって構成された単位画素部10が、行方向および列方向にマトリクス状に複数配置（例えば四つ）されている。各画素部10は、光信号検出用のMOSトランジスタ12のゲート電極16（G）がゲート線21を介してゲート電圧制御手段3と接続され、ドレイン電極18（D）がドレイン線22を介してドレイン電圧制御手段4（ドレイン駆動回路）に接続され、ソース電極17（S）がソース線23を介して昇圧手段5（昇圧回路）および水平読み出し手段6（水平読み出し回路）に接続され、これらのゲート電圧制御手段3、ドレイン電圧制御手段4および昇圧手段5には、上記各動作を実現するために必要な駆動パルスおよび駆動電圧を発生する電圧発生手段7が接続されている。以上のゲート電圧制御手段3、ドレイン電圧制御手段4、昇圧手段5および電圧発生手段7により駆動制御回路2Aが構成され、これらのゲート電圧制御手段3、ドレイン電圧制御手段4および昇圧手段5から供給される各制御電圧によって各動作（電荷蓄積動作、信号読み出し動作およびリセット動作）が制御される。

【0069】

上記構成により、ゲート電圧制御手段3により最初のゲート線21が選択されるときには、ゲート電圧制御手段3および昇圧手段5から図3（a）に示すように駆動波形（第1～第4のゲート電圧 V_L 、 V_{21} 、 V_M 、 V_H ）が最初のゲート線21に順次印加される。このとき、次のゲート線21は非選択となり、ゲート電圧制御手段2から図3（b）に示す駆動波形（ゲート電圧 V_M ）が次のゲート線21に印加される。

【0070】

これによって、選択されたゲート線 21 と接続された各画素部 10（選択行）において、電荷蓄積（第 3 ゲート電圧 V_M ）から S 信号読み出し（第 4 ゲート電圧 V_H ）→ホール注入（第 1 ゲート電圧 V_L ）→一部電荷残存リセット（第 2 ゲート電圧 V_{21} ）→N 信号読み出し（第 4 ゲート電圧 V_H ）という一連の各動作が順次行われる。また、非選択のゲート線 21 に接続された画素部 10（非選択行）では、電荷の蓄積（第 3 ゲート電圧 V_M ）が行われている。なお、リセット動作時の画素部 10 への電圧印加は、昇圧手段 5 からソース線 23 を介して行われる。

【0071】

信号読み出し時に、ソース線 23 から読み出された信号は、水平読み出し手段 5 および出力回路 8 を介して出力端子に出力される。

【0072】

以上により、本実施形態の固体撮像装置 1、1A によれば、選択行と非選択行とで別々にゲート電圧を制御することにより、容易に、選択行に対してのみ、基板 13 から電荷蓄積領域 20 への電荷注入およびホールポケット領域 20 の電荷蓄積領域への一定で少量の電荷残留を制御することができる。これによって、画像全体として像変化はないことから残像が発生せず、また、画素部 10 毎の感度ばらつきを低い値（低安定レベル X）に保つことができる。

【0073】

リセット時にリセット動作をする画素部のみ（全画素部でもよい）に電荷注入した後に、電荷排除用電圧を印加することにより残像および感度ばらつきを抑制することができる。リセット時に全画素部に電荷注入するだけで、リセット後の過剰電荷排出分が埋め合わせされ、残像が防止できる。感度ばらつきが低レベルとなる電荷排除用電圧に設定すればよい。

【0074】

なお、ゲート電圧は例えば図 3 のように変化するが、このときのソース電圧やドレイン電圧は基本的には従来の場合と同じである。詳細には様々な可能性があり、特定できないが、例えば、図 5 で昇圧手段 5 によりソース側から高い電圧を印加し、結果的にゲート電圧を図 2 の V_{21} にする方法は、特開 2001-19

6570で開示されている技術である。これを実現するには、ソース電圧、ドレイン電圧は複雑な設定が必要であるが、本発明はこれに限定されるものではない。

【0075】

【発明の効果】

以上により、本発明によれば、リセット動作時に、まず、基板から電荷蓄積領域への電荷注入を行い、その後、電荷蓄積領域に一定で少量の電荷を残留させて基板への電荷排出を行うことによって、前の電荷蓄積期間の電荷蓄積量（＝入射光量）の大小に関わらず、電荷蓄積領域に常に一定量の電荷を残留させることができるため、残像が発生せず、また、画素部毎の感度ばらつきを低い値に保つことができる。したがって、高画質の閾値電圧変調方式MOS型イメージセンサを実現することができる。

【図面の簡単な説明】

【図1】

本発明の閾値電圧変調方式のMOS型イメージセンサの実施形態における要部構成を示すブロック図である。

【図2】

図1の閾値電圧変調方式のMOS型イメージセンサの画素部におけるポテンシャル分布を示す図であって、（a）はその信号蓄積動作および信号読み出し動作時のポテンシャル分布図であり、（b）はそのリセット動作時のポテンシャル分布図である。

【図3】

図2の各動作をゲート電圧の動作タイミングとして示すタイミングチャートであり、（a）は選択行のタイミングチャートであり、（b）は非選択行のタイミングチャートである。

【図4】

図1の固体撮像装置のホールポケット領域における残留電荷量 ΔQ と画像残像および画素部毎の感度ばらつきとの関係を示すグラフである。

【図5】

図1の固体撮像装置を、2次元の閾値電圧変調方式MOS型イメージセンサの例えば2画素×2画素の回路構成に適応させた場合の一例を示す回路図である。

【図6】

従来の閾値電圧変調方式のMOS型イメージセンサ（固体撮像装置）における要部構成を示す図であって、（a）はその1画素分の平面図であり、（b）は（a）のAA'線断面図である。

【図7】

図6のMOS型イメージセンサ（固体撮像装置）の各動作における画素部のポテンシャル分布図である。

【図8】

図7の各動作をゲート電圧の動作タイミングとして示すタイミングチャートであり、（a）は選択行のタイミングチャートであり、（b）は非選択行のタイミングチャートである。

【図9】

従来の固体撮像装置のホールポケット領域における残留電荷量 ΔQ と画像残像および画素部毎の感度ばらつきとの関係を示すグラフである。

【図10】

図2の各動作の他の一例、例えばシャッタ時の動作をゲート電圧の動作タイミングとして示すタイミングチャートであり、（a）はシャッタ選択行のタイミングチャートであり、（b）は非選択行のタイミングチャートである。

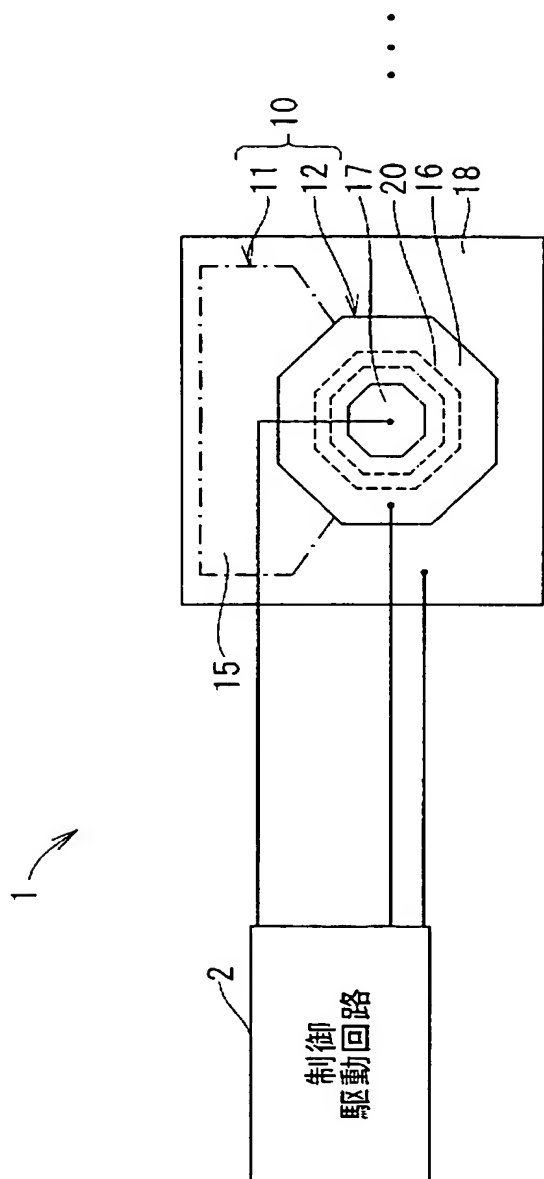
【符号の説明】

- 1, 1A 固体撮像装置
- 2, 2A 駆動制御手段
- 3 ゲート電圧制御手段
- 4 ドレイン電圧制御手段
- 5 昇圧手段
- 6 水平読み出し手段
- 7 電圧発生手段
- 8 出力手段

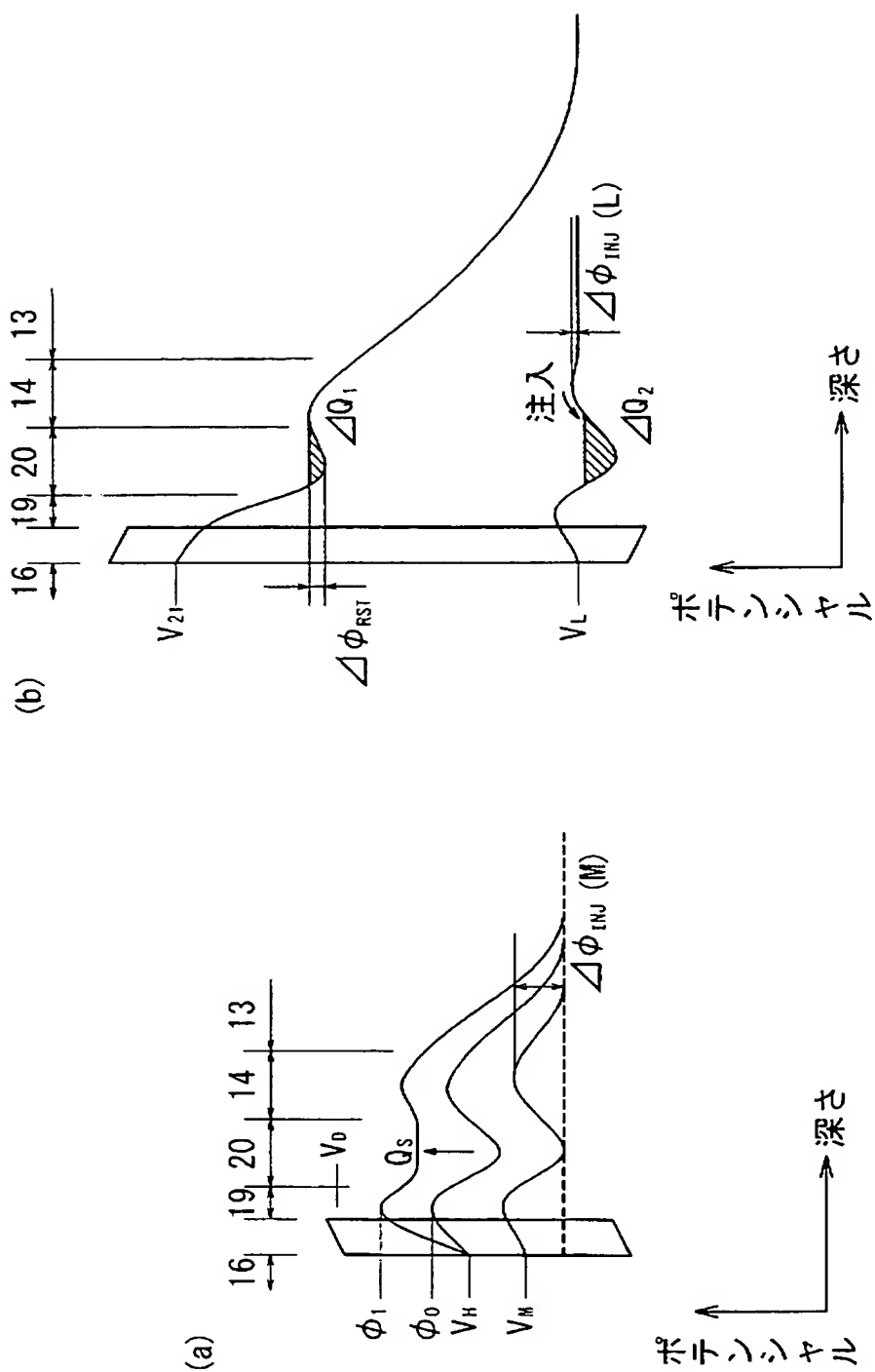
- 1 0 位画素部
- 1 1 受光ダイオード
- 1 2 光信号検出用のMOS トランジスタ
- 1 3 基板
- 1 4 N型ウェル
- 1 5 P型ウェル
- 1 6 ゲート電極
- 1 7 ソース領域
- 1 8 ドレイン領域
- 1 9 チャネル領域のN層
- 2 0 キャリアポケット領域（電荷蓄積領域）
- 2 1 ゲート線
- 2 2 ドレイン線
- 2 3 ソース線

【書類名】 図面

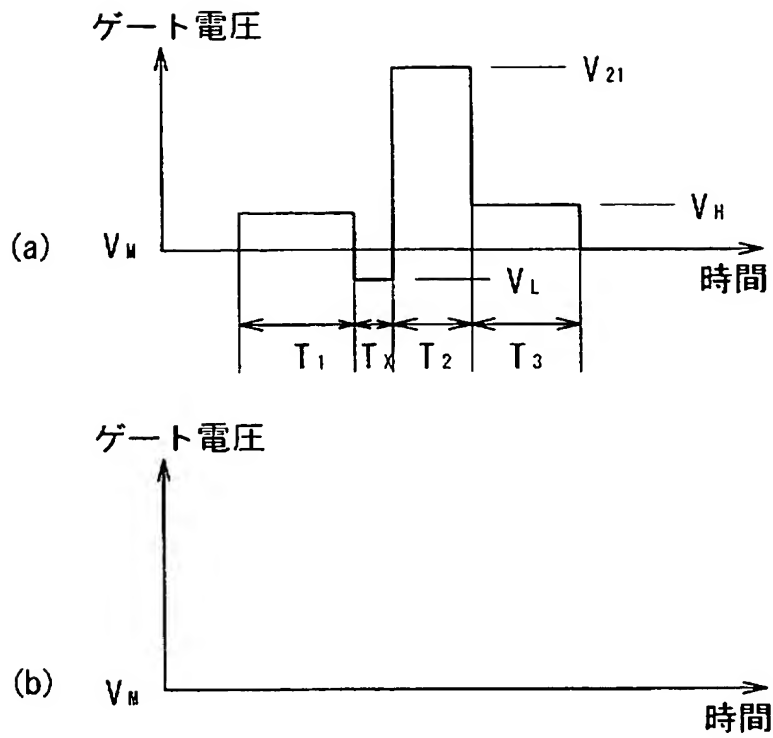
【図 1】



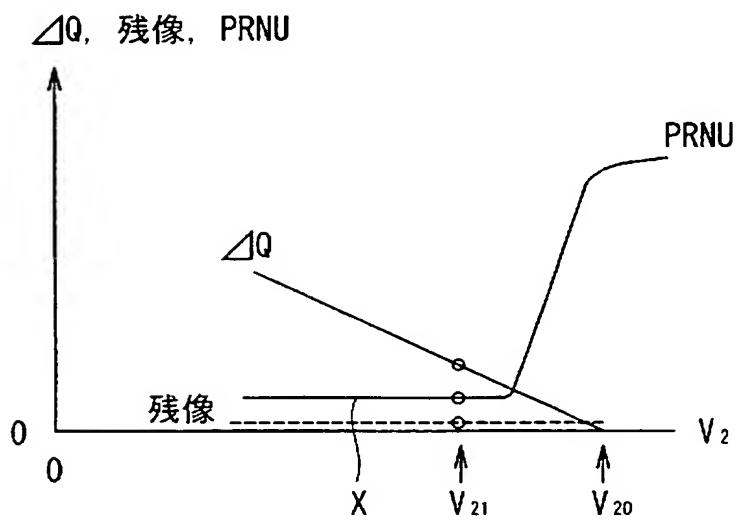
【図 2】



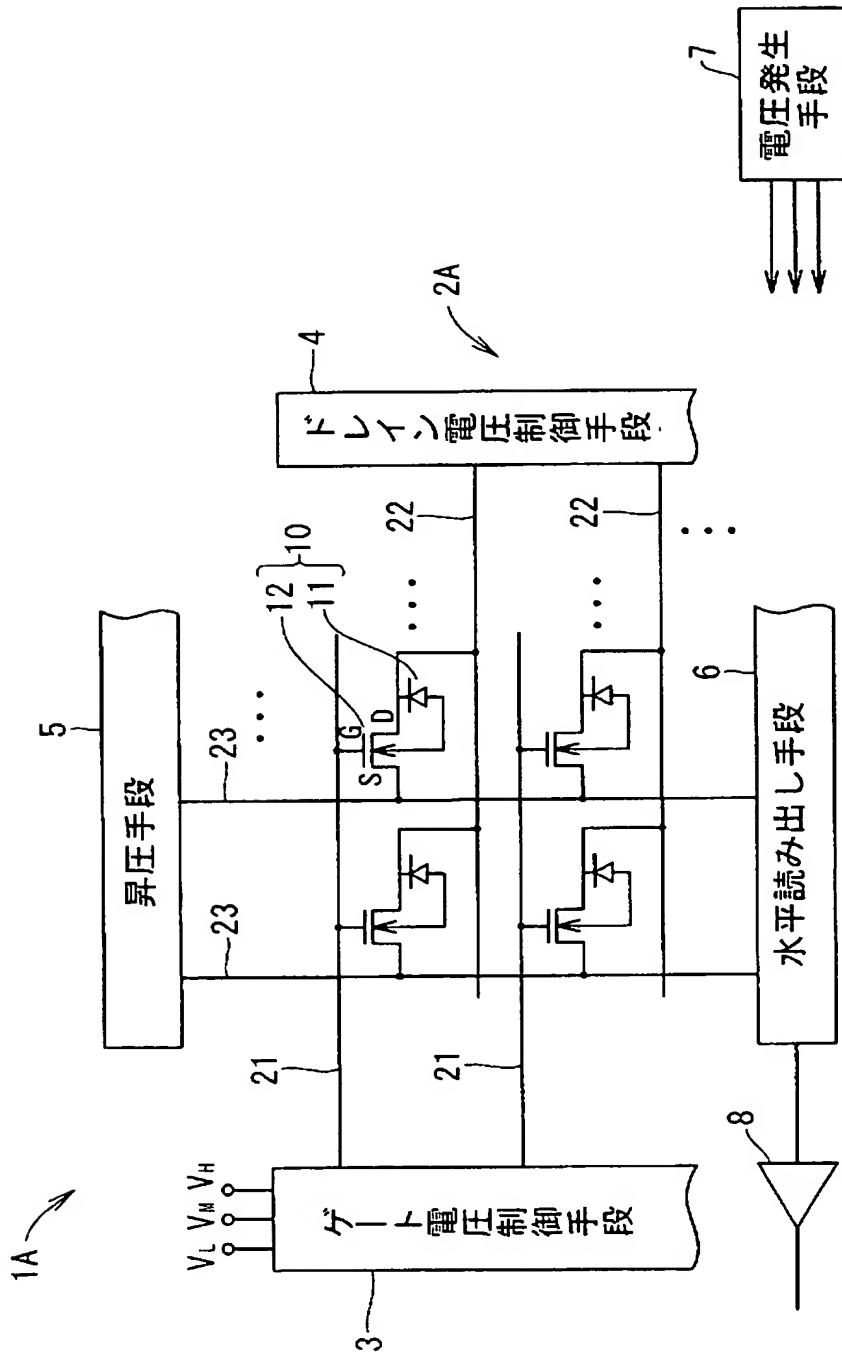
【図 3】



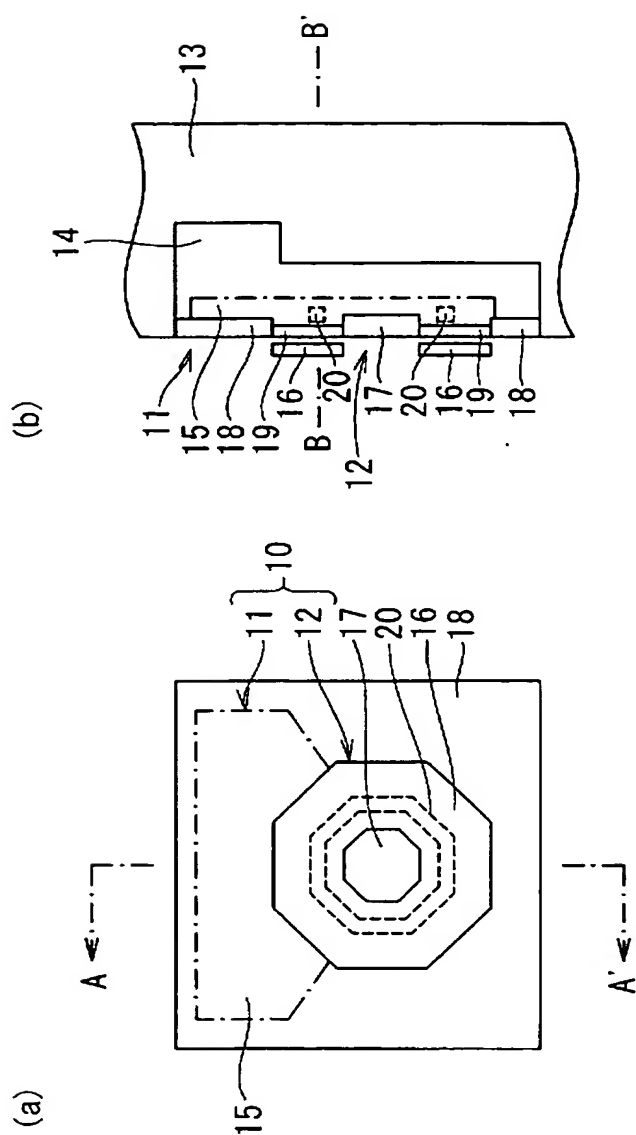
【図 4】



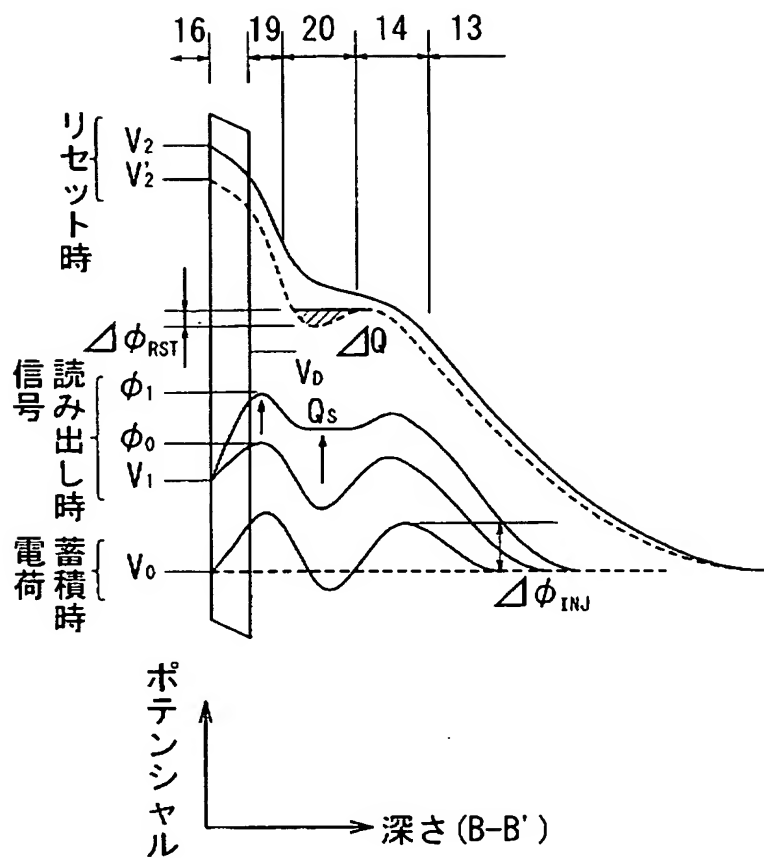
【図 5】



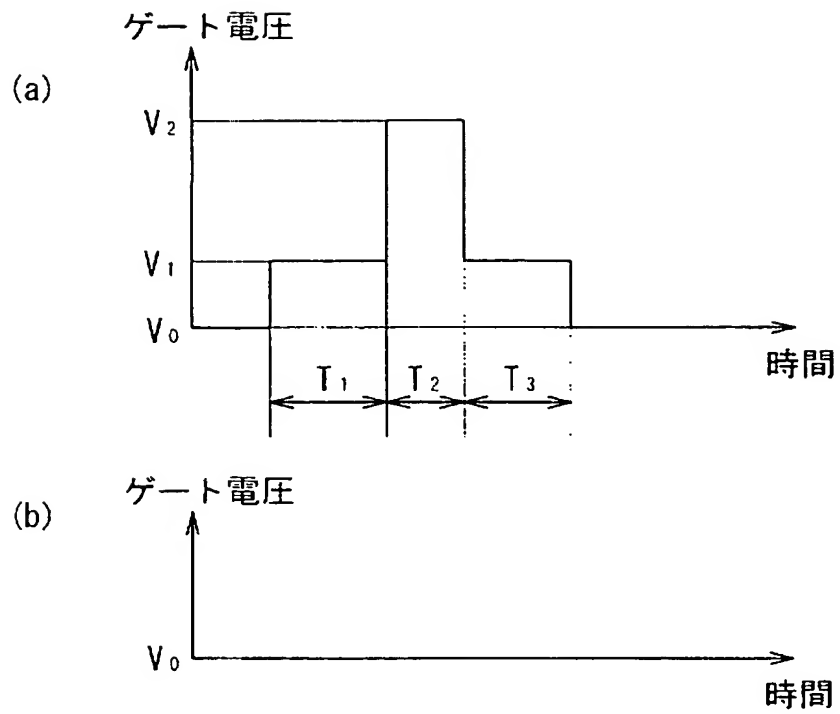
【図 6】



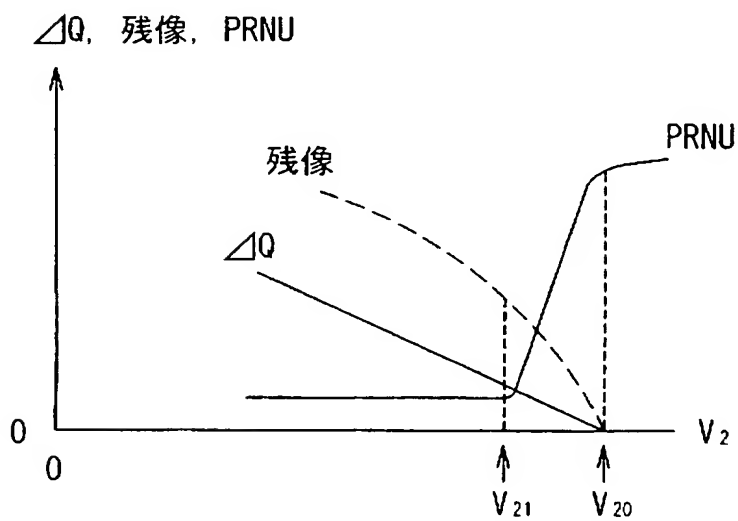
【図 7】



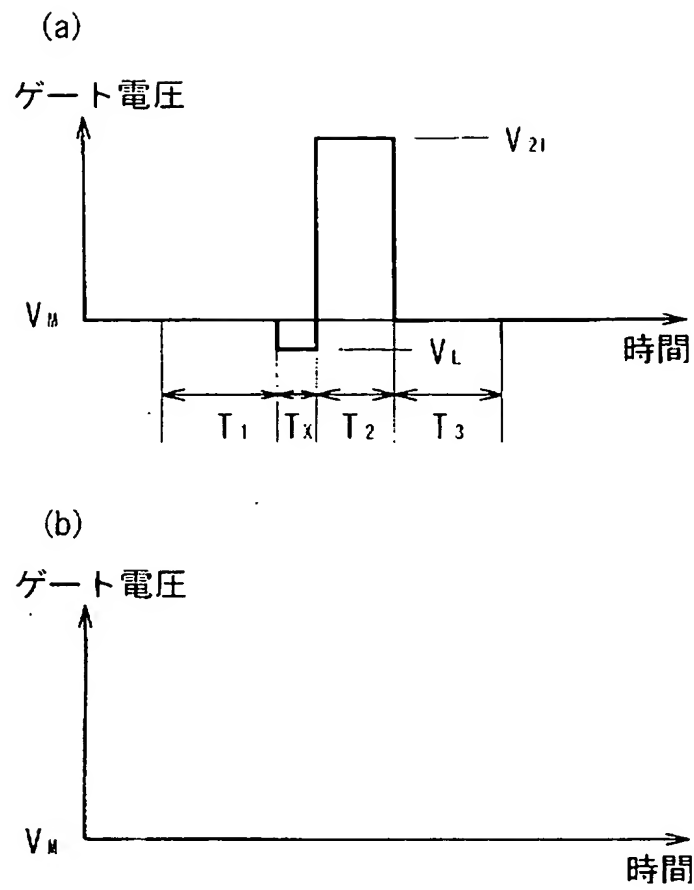
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 画像の残像を防ぎ、画素部毎の感度ばらつきが小さい。

【解決手段】 受光ダイオード 11 と、キャリアポケット領域 20 の電荷蓄積領域を備え、電荷蓄積領域に蓄積された電荷量に応じて変化するチャネル電位を信号として出力する絶縁ゲート型電界効果トランジスタ 12 とを有する単位画素部 10 が基板 13 上に複数設けられた固体撮像装置 1 において、リセット動作時に、まず、基板 13 から電荷蓄積領域への電荷注入を行った後に、電荷蓄積領域から基板 13 に不完全に電荷を排出させて電荷蓄積領域に一定量の電荷 ΔQ_1 を残留させる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-032847
受付番号	50300212870
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 2 月 12 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
【氏名又は名称】	シャープ株式会社
【代理人】	申請人
【識別番号】	100078282
【住所又は居所】	大阪府大阪府中央区城見 1 丁目 2 番 2 7 号 クリスタル タワー 1 5 階
【氏名又は名称】	山本 秀策

【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪府中央区城見 1 丁目 2 番 2 7 号 クリ スタルタワー 1 5 階 山本秀策特許事務所
【氏名又は名称】	安村 高明

【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪府大阪府中央区城見一丁目 2 番 2 7 号 クリスタル タワー 1 5 階 山本秀策特許事務所
【氏名又は名称】	大塩 竹志

次頁無

特願 2 0 0 3 - 0 3 2 8 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社